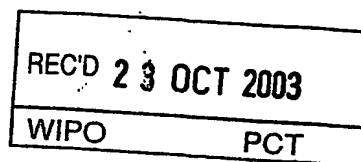


BUNDESREPUBLIK DEUTSCHLAND

Rec'd PCT/PTO 08 FEB 2005
PCT/DE 03/03044 #2

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 42 877.8

Anmeldetag: 16. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Halbleitersubstrat sowie darin ausgebildete Halbleiterschaltung und zugehörige Herstellungsverfahren

IPC: H 01 L 27/108

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Scholz

Zusammenfassung

Halbleitersubstrat sowie darin ausgebildete Halbleiterschaltung und zugehörige Herstellungsverfahren

5

Die Erfindung betrifft ein Halbleitersubstrat sowie eine darin ausgebildete Halbleiterschaltung und zugehörige Herstellungsverfahren, wobei zur Realisierung von vergrabenen Kondensatoren in einem Trägersubstrat (1) eine Vielzahl von Vertiefungen (P) mit einer jeweiligen dielektrischen Schicht (D) und einer Kondensator-Elektrode (E2) ausgebildet sind und eine eigentliche Halbleiter-Bauelementschicht (3) durch eine Isolationsschicht (2) vom Trägersubstrat (1) isoliert ist.

10

15 (Figur 1D)

Beschreibung

Halbleitersubstrat sowie darin ausgebildete Halbleiterschaltung und zugehörige Herstellungsverfahren

Die vorliegende Erfindung bezieht sich auf ein Halbleitersubstrat sowie eine darin ausgebildete Halbleiterschaltung und zugehörige Herstellungsverfahren und insbesondere auf ein SOI-Substrat, in dem eine Vielzahl von vergrabenen Kondensatoren ausgebildet sind.

Bei der unvermindert fortschreitenden Erhöhung der Integrationsdichte von Halbleiterschaltungen und insbesondere einer Speicherdichte von DRAMs (Dynamic Random Access Memories) stößt man mehr und mehr auf Probleme, die notwendige Speicherkapazität auf der kleiner werdenden Zellfläche unterzubringen. Obwohl die technische Verfeinerung sowohl von sogenannten Trench- bzw. Graben- wie auch von Stacked- bzw. Stapel-Kondensatoren schon weit vorgeschritten ist, werden diese Prozesse in den nächsten Generationen an ihre Grenzen stoßen.

Darüber hinaus stellen integrierte Kondensatoren in Logik- und Analog-Halbleiterschaltungen einen erheblichen Zusatzaufwand dar. Dies gilt insbesondere für hochdichte sogenannte "Embedded DRAMs", da das hoch-optimierte und sehr platzsparende Zelldesign von modernen DRAMs einen Herstellprozess erfordert, der nicht mehr leicht mit einem Logik-Prozess kombiniert werden kann.

Insbesondere die Speicherkondensatoren in DRAMs haben eine langjährige Evolution hinter sich mit dem Ziel, die Kapazität trotz der immer geringer werdenden Zellfläche bei ca. 30 fF nahezu konstant zu halten. Zur Realisierung derartiger Kondensatoren werden hierbei zwei unterschiedliche Ausführungsformen unterschieden. Erstens der „stacked capacitor“ bzw. Stapelkondensator, der nach Fertigstellung eines Auswahltransistors hergestellt und über ein eigenes Kontaktloch mit dem

Transistor verbunden wird, wobei sich eine Oberflächenvergrößerung der Speicherelektrode beispielsweise durch eine zylindrische Ausgestaltung ergibt. Als zweite Ausführungsform ist der „trench capacitor“ bzw. Grabenkondensator bekannt,

5. wobei vor dem Ausbilden des Auswahltransistors ein Loch mit sehr hohem Aspektverhältnis (Tiefe:Durchmesser) in ein Halbleitersubstrat geätzt und der Kondensator darin hergestellt wird. In beiden Varianten kann zur weiteren Kapazitätsvergrößerung die Oberfläche der Elektrode durch halbkugelförmige Halbleiterturmer (Hemispherical Grains, HFG) aufgeraut werden. Trotz dieser technologischen Anstrengungen wird man mit den weiterentwickelten herkömmlichen Kondensatoren in absehbarer Zeit nicht mehr die erforderliche Kapazität erreichen können.

15

- Ferner ist aus der Druckschrift EP 0 921 572 A1 ein Verfahren zur Herstellung von Kondensatoren für eine DRAM-Zelle bekannt, wobei in einem ersten Halbleitersubstrat eine Halbleiterschaltung und in einem zweiten Si-Substrat mittels elektrochemischen Porenätzens eine Vielzahl von Kondensatoren ausgebildet werden. Die beiden so vorbereiteten Substrate werden anschließend derart miteinander in Kontakt gebracht, dass die Kontaktflächen der Halbleiterschaltung eine vorbestimmte Anzahl von Kondensatoren berühren, wodurch sich für die Schaltung vorbestimmte Gesamt-Kondensatoren ergeben. Nachteilig sind hierbei jedoch erhöhte Schwierigkeiten bei der Kontaktierung der fertigen Halbleiterschaltung sowie kontaktflächenabhängige Kapazitäten.

- 30 Der Erfindung liegt daher die Aufgabe zugrunde, ein Halbleitersubstrat sowie eine darin ausgebildete Halbleiterschaltung und zugehörige Herstellungsverfahren zu schaffen, wobei auf besonders einfache und kostengünstige Art und Weise große Kapazitäten realisierbar sind.

35

Hinsichtlich des Halbleitersubstrats wird diese Aufgabe insbesondere durch ein Trägersubstrat und einer Halbleiter-

Bauelementschicht mit einer dazwischenliegenden Isolations-
schicht gelöst, wobei im Trägersubstrat eine Vielzahl von
Vertiefungen mit einer dielektrischen Schicht und einer
elektrisch leitenden Schicht zur Realisierung einer Vielzahl
von Kondensatoren ausgebildet ist. Bei Verwendung eines der-
artigen Halbleitersubstrats kann weiterhin eine einfache
Kontaktierung einer darin ausgebildeten Halbleiterschaltung
durchgeführt werden, wobei ferner Kondensatoren mit erhöhter
Kapazität zur Verfügung stehen.

Vorzugsweise wird die zur Ausbildung der Vielzahl von Kondensator-Elektroden verwendete elektrisch leitende Schicht auch an der Oberfläche des Trägersubstrats ausgebildet, wodurch eine Vielzahl von Einzel-Kondensatoren gruppenmäßig zusammengefasst werden können und fest vorgegebene Kapazitäten realisierbar sind. Bei einer entsprechenden Strukturierung dieser elektrisch leitenden Schicht zur Realisierung eines Gruppen-Kondensators mit einer Kapazität von ca. 30 fF können insbesondere die im DRAM notwendigen Speicherkondensatoren bereits vorgefertigt im Halbleitersubstrat vorliegen.

Vorzugsweise erfolgt das Ausbilden der Vertiefungen für die Kondensatoren durch elektrochemisches Porenätzen, wodurch man ein feinverästeltes Porensystem mit außerordentlich großer Oberfläche erhält und ferner Kurzschlüsse bzw. Querverbindungen innerhalb der Poren automatisch verhindert werden.

Vorzugsweise wird für die in den Poren ausgebildete dielektrische Schicht ein hochtemperaturfestes Kondensatordielektrikum mit hoher Dielektrizitätskonstante verwendet, wodurch man einerseits erhöhte Kapazitäten und andererseits eine verbesserte Unempfindlichkeit für die nachfolgenden Prozessschritte bei der Realisierung einer Halbleiterschaltung in der Halbleiter-Bauelementschicht erhält.

Vorzugsweise basiert das Halbleitersubstrat auf einem SOI-Substrat mit einer einkristallinen Si-Schicht als Bauelement-

schicht, einer SiO_2 -Schicht als Isolationsschicht und einem Si-Substrat als Trägersubstrat, weshalb bereits bekannte Herstellungsverfahren kostengünstig modifizierbar sind und weiterhin im Einsatz befindliche Standardprozesse und Fertigungsvorrichtungen verwendet werden können.

Hinsichtlich des Verfahrens zur Herstellung eines Halbleitersubstrats wird zunächst eine Vielzahl von Vertiefungen sowie eine Kondensator-Gegenelektrode in einem Trägersubstrat ausgebildet und anschließend eine dielektrische Schicht an der Oberfläche der Vertiefungen sowie des Trägersubstrats hergestellt. Daraufhin wird eine elektrisch leitende Schicht zur Realisierung einer Vielzahl von Kondensator-Elektroden zumindest in der Vielzahl von Vertiefungen ausgebildet und eine erste Isolations-Teilschicht ganzflächig erzeugt. Ferner wird ein Halbleiter-Bauelementsubstrat mit einer darin ausgebildeten Abspalt-Grenzschicht und einer zweiten Isolations-Teilschicht bereitgestellt und mit dem Trägersubstrat über die jeweiligen Isolations-Teilschichten miteinander verbunden. Abschließend erfolgt ein Abspalten eines Teils des Halbleiter-Bauelementsubstrats an der Abspalt-Grenzschicht, wodurch man das endgültige Halbleitersubstrat mit der im Trägersubstrat ausgebildeten Vielzahl von Kondensatoren auf besonders einfache und kostengünstige Art und Weise erhält.

Vorzugsweise wird das Ausbilden der Vertiefungen durch ein elektrochemisches Porenätzen zum Ausbilden von Poren in einem aus Halbleitermaterial bestehenden Trägersubstrat und das Ausbilden der Kondensator-Gegenelektrode durch ein Dotieren des Trägersubstrats in der Umgebung der Poren realisiert.

Als Kondensatordielektrikum wird vorzugsweise nitridiertes Oxid, Al_2O_3 und/oder TiO_2 verwendet, wodurch man sowohl eine hohe Temperaturfestigkeit als auch eine hohe Dielektrizitätskonstante erhält.

Als elektrisch leitende Schicht zur Realisierung der Kondensator-Elektroden wird vorzugsweise ein in-situ dotiertes Halbleitermaterial abgeschieden und derart strukturiert, dass eine Vielzahl von Einzel-Kondensatoren zu einem Gruppen-Kondensator zusammengefasst werden können.

Hinsichtlich der Halbleiterschaltung wird in dem erfindungsgemäßen Halbleitersubstrat als Halbleiterbauelement vorzugsweise eine DRAM-Speicherzelle ausgebildet, wobei eine Kontaktierung der im Trägersubstrat befindlichen Kondensatoren über ein mit einer Verbindungsschicht gefülltes Kontaktloch erfolgt, welches in der Isolationsschicht des Halbleitersubstrats ausgebildet ist.

In den weiteren Ansprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend an Hand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Figuren 1A bis 1D

vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte bei der Herstellung eines Halbleitersubstrats gemäß einem ersten Ausführungsbeispiel;

Figuren 2A und 2B

vereinfachte Schnittansichten zur Veranschaulichung eines Halbleitersubstrats gemäß einem zweiten Ausführungsbeispiel sowie eines zugehörigen Verfahrensschrittes zur Herstellung von Kontaktlöchern; und

Figuren 3A bis 3C

vereinfachte Schnittansichten zur Veranschaulichung eines Herstellungsverfahrens einer DRAM-Speicherzelle.

- 5 Figuren 1A bis 1C zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleitersubstrats gemäß einem ersten bevorzugten Ausführungsbeispiels.
- 10 Gemäß Figur 1A wird in einem Trägersubstrat 1, welches beispielsweise ein Halbleitersubstrat und vorzugsweise einen Silizium-Halbleiterwafer darstellt, eine Vielzahl von Vertiefungen P sowie eine Kondensator-Gegenelektrode E1 ausgebildet. Vorzugsweise wird mittels eines elektrochemischen Poren-
- 15 ätzverfahrens eine Vielzahl von Poren P als Vertiefungen im Trägersubstrat 1 ausgebildet, welches z.B. n-dotiertes Silizium aufweist. Das Trägersubstrat besitzt beispielsweise eine Dotierstoffkonzentration von ca. 10^{18} cm^{-3} und wird zunächst mit einem ersten Spannungsanschluss verbunden und in eine
- 20 Flusssäurelösung (25 Gew.-%) eingetaucht. In der Flusssäurelösung befindet sich eine Elektrode, die mit einem zweiten Spannungsanschluss verbunden ist. Anschließend wird eine Spannung zwischen dem ersten Spannungsanschluss und dem zweiten Spannungsanschluss erzeugt, die ca. 2 Volt beträgt. Die Spannungsdifferenz zwischen dem ersten und zweiten Spannungs-
- 25 anschluss ist hierbei positiv, wobei eine entstehende Stromdichte ca. 100 mA/cm^2 beträgt. Bei diesem elektrochemischen Porenätzverfahren entstehen nach einigen Minuten ca. 100 nm breite und einige Mikrometer tiefe Poren P im Trägersubstrat
- 30 1, wobei die Abstände zwischen benachbarten Poren P etwa gleich groß sind, ca. 20 nm betragen und die Poren räumlich nicht regelmäßig angeordnet sind.

- 35 Zur Erzeugung der Kondensator-Gegenelektrode E1 im Trägersubstrat 1 wird beispielsweise in der Umgebung der Poren P eine Dotierung des Halbleitermaterials durchgeführt. Vorzugsweise wird zur Ausbildung einer hochdotierten und somit elektrisch

leitenden Schicht ein Dotierglas in den Poren P ausgebildet und nachfolgend durch eine thermische Behandlung in das Trägersubstrat 1 ausdiffundiert. Abschließend erfolgt eine vorzugsweise nass-chemische Entfernung des Dotierglases, wodurch man die in Figur 1A dargestellte Schnittansicht erhält. Vorzugsweise wird als Dotierstoffquelle Phosphorsilikatglas mit einer Dicke von einigen Nanometern in den Poren P abgeschieden, wodurch man eine n^+ -Dotierung an der gesamten Oberfläche im Bereich der Poren P im Trägersubstrat 1 erhält. Alternativ kann selbstverständlich auch eine Dotierung aus der Gasphase insbesondere bei geringen Drücken erfolgen, wie sie beispielsweise bei der Herstellung von Grabenkondensatoren bekannt ist. Als Ätzmittel zum Entfernen des Dotierglases wird vorzugsweise Flußsäure verwendet, wobei auch andere Ätzmittel verwendet werden können.

Die durch das elektrochemische Porenätzen ausgebildeten Poren P können demzufolge ohne gezielte Keim-Bildung in einer zufälligen Anordnung erzeugt sein, wobei ihre Dichte, ihr mittlerer Durchmesser, die Dicke der Trennwände und die Länge durch die Parameter des Verfahrens, wie z.B. Halbleiter-Dotierung, Konzentration des Ätzmittels, Stromstärke, Spannung und Ätzdauer über einen weiten Bereich eingestellt werden kann.

Gemäß Figur 1B wird anschließend an der Oberfläche der Vertiefungen P sowie des Trägersubstrats 1 eine dielektrische Schicht D ausgebildet, wobei vorzugsweise nitridiertes Oxid, Al_2O_3 und/oder TiO_2 als Kondensatordielektrikum ganzflächig ausgebildet wird. Demzufolge kann zur Ausbildung eines nitridierten Oxids zunächst eine thermische Oxidation des Trägersubstrats 1 und eine anschließende Nitridierung durchgeführt werden. Alternativ kann zur Realisierung der weiterhin möglichen Kondensatordielektrika Al_2O_3 und/oder TiO_2 eine Abscheidung entsprechender Materialien durchgeführt werden. Insbesondere bei Verwendung von hochtemperaturfesten Kondensatordielektrika, die darüber hinaus eine hohe Dielektrizitäts-

konstante aufweisen, erhält man somit ein Halbleitersubstrat, welches für eine Vielzahl von Standardprozessen, d.h. auch Hochtemperaturprozessen, geeignet ist und darüber hinaus Kondensatoren mit hoher Kapazität realisiert.

5

Nach dem ganzflächigen Ausbilden dieser dielektrischen Schicht D in den Poren P sowie an der Oberfläche des Trägersubstrats 1 wird anschließend eine elektrisch leitende Schicht E2 zur Realisierung einer Vielzahl von Kondensator-

10

Elektroden zumindest in der Vielzahl von Vertiefungen P auf der dielektrischen Schicht D ausgebildet.

15

Zur Realisierung der dielektrischen Schicht D und/oder der elektrisch leitenden Schicht E2 kann insbesondere ein sogenanntes ALD-Verfahren (Atomic Layer Deposition) zum Ausbilden von Schichten in der Größenordnung einzelner Atomlagen verwendet werden.

20

Gemäß Figur 1B wird beispielsweise ein in-situ dotiertes polykristallines Halbleitermaterial und vorzugsweise in-situ dotiertes Polysilizium ganzflächig abgeschieden, wodurch nicht nur die Poren P vollständig aufgefüllt werden, sondern darüber hinaus eine alle Poren bedeckende Schicht an der Oberfläche des Trägersubstrats 1 ausgebildet wird. Zur Strukturierung dieser elektrisch leitenden Schicht E2 wird vorzugsweise ein fotolithografisches Verfahren durchgeführt, wobei mittels herkömmlicher Fotolacke, nachfolgender Belichtung und abschließender Ätzung die elektrisch leitende Schicht E2 derart strukturiert wird, dass eine Vielzahl von

30

im Trägersubstrat 1 ausgebildeten Einzel-Kondensatoren (bzw. Kondensator-Elektroden) oder Gruppen-Kondensatoren entstehen, wobei gemäß Figur 1C eine vorbestimmte Anzahl von Einzel-Kondensatoren (bzw. Kondensator-Elektroden) zu einer Gruppe zusammengefasst werden und einen Gruppen-Kondensator mit

35

vorbestimmter Kapazität realisieren. Insbesondere bei der Realisierung von Halbleitersubstraten für sogenannte DRAM-Speichereinrichtungen kann eine derartige Strukturierung

derart eingestellt werden, dass sich jeweils Gruppen-Kondensatoren mit einer gewünschten Kapazität von ca. 30 fF ergeben, wie sie üblicherweise in DRAM-Zellen notwendig sind.

- 5 Eine derartige Strukturierung erfolgt vorzugsweise mittels anisotroper Rückätzverfahren, wie beispielsweise RIE (Reactive Ion Etching). Zur Vermeidung eines Kurzschlusses zwischen der äußeren Kondensator-Gegenelektrode E1 und der inneren bzw. Kondensator-Elektrode E2 wird die dielektrische Schicht
10 D vorzugsweise nicht entfernt.

- Gemäß Figur 1C wird anschließend an dieser bearbeiteten Oberfläche des Trägersubstrats 1 eine erste Isolations-Teilschicht 2A ganzflächig ausgebildet, wobei vorzugsweise ein
15 TEOS-Abscheideverfahren (Tetra Ethyl Ortho Silicat) durchgeführt wird. Zur Realisierung einer planaren Oberfläche kann nach dem Ausbilden der Isolations-Teilschicht 2A und insbesondere nach dem Abscheiden einer TEOS-Schicht vorzugsweise ein CMP-Verfahren (Chemical Mechanical Polishing) durchgeführt werden.
20

Gemäß Figur 1C wird ferner ein weiteres Halbleiter-Bauelementsubstrat 3 mit einer Abspalt-Grenzschicht 3S und einer zweiten Isolations-Teilschicht 2B bereitgestellt, wobei vorzugsweise wiederum ein Siliziumhalbleiterwafer mit einer Siliziumdioxidschicht 2B bereitgestellt und die Abspalt-Grenzschicht mittels Wasserstoff-Implantation ausgebildet wird.

- 30 Anschließend werden diese beiden Substrate an bzw. über ihre Isolations-Teilschichten 2A und 2B zum Ausbilden einer gemeinsamen Isolationsschicht 2 miteinander verbunden, wobei vorzugsweise herkömmliches Waferbonden durchgeführt wird. Genauer gesagt wird insbesondere bei Verwendung von Siliziumdioxid als Isolations-Teilschichten 2A und 2B aufgrund ihrer
35 hydrophilen Eigenschaften eine Anziehungskraft auf die beiden Substrate an der Verbindungsoberfläche ausgeübt, wobei durch

eine zusätzliche thermische Behandlung eine mechanisch sehr feste Verbindung realisiert wird und auf die Verwendung zusätzlicher Verbindungs- bzw. Klebematerialien verzichtet werden kann.

5

Gemäß Figur 1D wird abschließend ein (oberer) Teil des Halbleiter-Bauelementssubstrats 3 an der Abspalt-Grenzschicht 3S abgespalten, wodurch man das fertige Halbleitersubstrat S mit einer Vielzahl von eingegrabenen Kondensatoren erhält. Vor-

10

zugsweise erfolgt dieser Abspaltvorgang durch eine weitere thermische Behandlung, wobei im Falle der vorstehend beschriebenen Wasserstoff-Implantation der obere Teil des Wafers entlang der implantierten Abspalt-Grenzschicht abplatzt bzw. abgespalten wird. Alternativ zu diesem als „smart cut“-

15

Verfahren bekannten Abspaltvorgang können auch weitere Verfahren wie z.B. das sogenannte „ELTRAN“-Verfahren durchgeführt werden, wobei als Abspalt-Grenzschicht 3S eine poröse Halbleiterschicht verwendet wird und mittels eines Flüssigkeitsstrahls ein Abheben des oberen Teils des Halbleiter-

20

Bauelementssubstrats 3 durchgeführt werden kann.

Figur 2A und Figur 2B zeigen vereinfachte Schnittansichten zur Veranschaulichung eines Halbleitersubstrats gemäß einem zweiten Ausführungsbeispiel sowie eines Verfahrensschrittes zur Realisierung von Kondensatoren mit unterschiedlichen Kapazitäten, wobei gleiche Bezugszeichen gleiche oder entsprechende Schichten bzw. Elemente bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

30

Gemäß Figur 2A kann eine Strukturierung der elektrisch leitenden Schicht E2 auch derart erfolgen, dass keine Gruppierung von Einzel-Kondensatoren erfolgt, wie in Figur 1C dargestellt, sondern die an der Oberfläche des Trägersubstrats abgeschiedene elektrisch leitende Schicht E2 vollständig bis

35

an die Oberfläche des Trägersubstrats 1 bzw. die dielektrische Schicht D zurückgeätzt wird oder die elektrisch leitende Schicht E2 lediglich bis zur Oberfläche der Poren P aufge-

füllt wird. Auf diese Weise erhält man keine elektrisch leitende Verbindung der einzelnen Kondensatoren bzw. Kondensator-Elektroden E2, weshalb eine Definition der Kondensatorkapazität ausschließlich über die Größe eines Kontaktloches erfolgen kann.

Gemäß Figur 2B können demzufolge mittels einer Maskenschicht M unterschiedlich große Kontaktlöcher V1 und V2 ausgebildet werden, die eine unterschiedliche Anzahl von Einzel-Kondensatoren bzw. Anzahl von Kondensator-Elektroden E2 freilegen, wodurch eine feingranulare Einstellung einer Kapazität auch in einem späteren Herstellungsprozess zur Realisierung einer jeweiligen Halbleiterschaltung realisiert werden kann.

Figuren 3A bis 3C zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung einer Halbleiterschaltung in einem Halbleitersubstrat gemäß dem ersten Ausführungsbeispiel, wobei gleiche Bezugszeichen wiederum gleiche Schichten bzw. Elemente bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 3A wird zur Realisierung einer DRAM-Speicherzelle mit einem Auswahltransistor und einem Porenkondensator PK (d.h. in einer Gruppe zusammengefassten Anzahl von vergrabenen Einzel-Kondensatoren) zunächst eine (nicht dargestellte) flache Grabenisolierung in der Halbleiter-Bauelementschicht 3 zur Realisierung von aktiven Gebieten ausgebildet.

Anschließend wird gemäß Figur 3B beispielsweise ein herkömmlicher Prozesskomplex für MOS-Transistoren zur Realisierung eines Auswahltransistors AT als auszubildendes Halbleiterbauelement mit Source-/Draingebieten 7, einem Gatedielektrikum bzw. einer Gateoxidschicht 4, einer Steuerschicht 5 bzw. Wortleitung WL und einer Gateisolation bzw. -Kapselung, die beispielsweise eine Nitrid-Abdeckschicht 6 und Nitrid-Spacer 8 aufweist, durchgeführt. Hinsichtlich der einzelnen Verfah-

rensschritte wird hierbei explizit auf die bekannten Standard MOS-Verfahren verwiesen.

Anschließend wird zur Realisierung eines Anschlussbereiches
5 zum vergrabenen Kondensator bzw. zur Kondensator-Elektrode E2 ein Kontaktloch V zumindest in der Isolationsschicht 2 und der Halbleiter-Bauelementschicht 3 ausgebildet, wobei bei Vorliegen der Gateoxidschicht bzw. des Gatedielektrikums 4 auch diese Schicht lokal entfernt werden kann.

10

Gemäß Figur 3B wird dieses Kontaktloch V unmittelbar an den Seitenwänden der Spacer 8 der Auswahltransistoren AT ausgebildet, wodurch ein jeweiliges Source-/Draingebiet 7 sowie eine zugehörige Kondensator-Elektrode E2 freigelegt wird.

15

Demzufolge kann ein relativ ungenaues fotolithografisches Verfahren zur Realisierung der Kontaktlöcher V verwendet werden, wobei lediglich eine Überlappung der Lithografie-Öffnungen mit der Auswahltransistorkapselung bzw. den Spacern 8 und der Abdeckschicht 6 sichergestellt werden muss. Demzu-
20 folge können die Kontaktlöcher V selbstjustierend ausgebildet werden.

Vorzugsweise wird zum Entfernen der Isolationsschicht 2 der Halbleiter-Bauelementschicht 3 und gegebenenfalls des Gatedielektrikums 4 im Bereich des Kontaktloches V ein anisotropes Ätzverfahren und insbesondere ein reaktives Ionenätzen (RIE) durchgeführt.

30

Gemäß Figur 3C wird anschließend eine Verbindungsschicht 9 im Kontaktloch V zwischen Halbleiterbauelement bzw. dem Source-/Draingebiet 7 des Auswahltransistors AT und zumindest einer Kondensator-Elektrode E2 ausgebildet. Vorzugsweise wird zum Ausbilden dieser Verbindungsschicht 9 eine weitere in-situ dotierte polykristalline Halbleiterschicht und insbesondere
35 polykristallines Silizium ganzflächig abgeschieden und anschließend isotrop oder anisotrop bis in das Kontaktloch V zurückgeätzt.

Zur Fertigstellung der DRAM-Speicherzelle wird abschließend eine Zwischen-Isolationsschicht 10 mit einem Bitleitungskontakt 11 ausgebildet, die ein jeweiliges komplementäres Source-/Draingebiet 7 des Auswahltransistors AT kontaktiert. Zur Realisierung einer Bitleitung BL wird schließlich an der Oberfläche der Zwischen-Isolationsschicht 10 in üblicher Weise noch eine elektrisch leitende Bitleitungsschicht 12 ausgebildet und strukturiert, wodurch man die in Figur 3C dargestellte endgültige Schnittansicht einer erfindungsgemäßen DRAM-Speicherzelle erhält.

Die Erfindung wurde vorstehend an Hand eines SOI-Substrats mit einem Si-Trägersubstrat, einer SiO₂-Isolationsschicht und einer einkristallinen Si-Halbleiter-Bauelementschicht beschrieben, wobei als elektrisch leitende Schicht polykristallines Silizium und als dielektrische Schicht nitridiertes Oxid verwendet wird. In gleicher Weise können selbstverständlich auch alternative Materialien und entsprechende Schichten zur Realisierung des erfindungsgemäßen Halbleitersubstrats und der zugehörigen Halbleiterschaltung verwendet werden. Insbesondere kann als Trägersubstrat auch ein elektrisch leitendes oder elektrisch isolierendes Substrat mit integrierter Kondensator-Gegenelektrode verwendet werden. In gleicher Weise können neben den dargestellten Dotierungen auch die jeweils entgegengesetzten Dotierungen verwendet werden. Insbesondere für die elektrisch leitende Schicht können auch metallische Materialien zur Realisierung der Kondensator-Gegenelektroden verwendet werden.

Ferner ist die Erfindung nicht auf die dargestellte DRAM-Zelle beschränkt, sondern umfasst in gleicher Weise jegliche Halbleiterbauelemente, die in einem erfindungsgemäßen Halbleitersubstrat ausgebildet sind und über ein Kontaktloch sowie einer darin befindlichen Verbindungsschicht einen vergrabenen Kondensator kontaktieren.

Bezugszeichenliste

	1	Trägersubstrat
	2, 2A, 2B	Isolationsschicht
5	3	Halbleiter-Bauelementschicht
	3S	Abspalt-Grenzschicht
	4	Gatedielektrikum
	5	Steuerschicht
	6	Abdeckschicht
10	7	Source-/Draingebiete
	8	Spacer
	9	Verbindungsschicht
	10	Zwischen-Isolationsschicht
	11	Bitleitungskontakt
15	12	Bitleitungsschicht
	P	Vertiefungen, Poren
	E1	Kondensator-Gegenelektrode
	D	dielektrische Schicht
	E2	Kondensator-Elektrode
20	S	Halbleitersubstrat
	M	Maskenschicht
	V, V1, V2	Kontaktloch
	PK	(Gruppen-) Kondensator
	WL	Wortleitung
	BL	Bitleitung

Patentansprüche

1. Halbleitersubstrat mit
einem Trägersubstrat (1);
5 einer Halbleiter-Bauelementschicht (3); und
einer Isolationsschicht (2), die zwischen dem Trägersubstrat
(1) und der Halbleiterbauelement-Schicht (3) ausgebildet ist,
gekennzeichnet durch
10 eine Vielzahl von Vertiefungen (P), die in einer der Isolationsschicht (2) zugewandten Oberfläche im Trägersubstrat (1)
ausgebildet ist;
eine dielektrische Schicht (D), die an der Oberfläche der
Vielzahl von Vertiefungen (P) sowie des Trägersubstrats (1)
ausgebildet ist; und
15 eine elektrisch leitende Schicht (E2), die zumindest in der
Vielzahl von Vertiefungen (P) zur Realisierung einer Vielzahl
von Kondensator-Elektroden ausgebildet ist, wobei
im Trägersubstrat (1) zur Realisierung von Kondensator-Gegen-
elektroden (E1) zumindest im Bereich der Vertiefungen eine
20 weitere elektrisch leitende Schicht ausgebildet ist.
2. Halbleitersubstrat nach Patentanspruch 1, dadurch
gekennzeichnet, dass die elektrisch leitende
Schicht (E2) auch an der Oberfläche des Trägersubstrats (1)
ausgebildet ist und eine Gruppe der Vielzahl von Kondensator-
Elektroden zur Realisierung von Gruppen-Kondensatoren (PK)
miteinander verbindet.
3. Halbleitersubstrat nach Patentanspruch 2, dadurch
30 gekennzeichnet, dass die Gruppen-Kondensatoren (PK)
eine Kapazität von ca. 30 fF aufweisen.
4. Halbleitersubstrat nach einem der Patentansprüche 1 bis 3,
dadurch gekennzeichnet, dass die Vertiefungen
35 (P) durch elektrochemisches Porenätzen ausgebildete Poren
darstellen.

5. Halbleitersubstrat nach einem der Patentansprüche 1 bis 4, dadurch gekennzeichnet, dass das Trägersubstrat (1) ein halbleitendes Material, wobei die Kondensator-Gegenelektrode (E1) ein im Halbleitermaterial ausgebildetes Dotiergebiet darstellt, oder ein leitendes Material aufweist.

6. Halbleitersubstrat nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass die dielektrische Schicht (D) ein hochtemperaturfestes Kondensatordielektrikum mit hoher Dielektrizitätskonstante aufweist.

7. Halbleitersubstrat nach einem der Patentansprüche 1 bis 6, dadurch gekennzeichnet, dass die elektrisch leitende Schicht (E2) dotiertes polykristallines Halbleitermaterial aufweist.

8. Halbleitersubstrat nach einem der Patentansprüche 1 bis 7, dadurch gekennzeichnet, dass es ein SOI-Substrat mit einer einkristallinen SI-Schicht als Halbleiter-Bauelementschicht (3); einer SiO_2 -Schicht als Isolationsschicht (2); einer Poly-Si-Schicht als elektrisch leitender Schicht (E2); und einem Si-Substrat als Trägersubstrat (1) aufweist.

9. Verfahren zur Herstellung eines Halbleitersubstrats mit den Schritten:

- a) Ausbilden einer Vielzahl von Vertiefungen (P) und einer Kondensator-Gegenelektrode (E1) in einem Trägersubstrat (1);
- b) Ausbilden einer dielektrischen Schicht (D) an der Oberfläche der Vertiefungen (P) sowie des Trägersubstrats (1);
- c) Ausbilden und Strukturieren einer elektrisch leitenden Schicht (E2) auf der dielektrischen Schicht (D) zur Realisierung einer Vielzahl von Kondensator-Elektroden zumindest in der Vielzahl von Vertiefungen (P);

- d) Ausbilden einer ersten Isolations-Teilschicht (2A) an der bearbeiteten Oberfläche des Trägersubstrats (1);
- e) Bereitstellen eines Halbleiter-Bauelementssubstrats (3) mit einer Abspalt-Grenzschicht (3S) und einer zweiten Isolations-Teilschicht (2B);
- f) Verbinden des Halbleiter-Bauelementssubstrats (3) und des Trägersubstrats (1) an ihren Isolations-Teilschichten (2A, 2B) zum Ausbilden einer Isolationsschicht (2); und
- g) Abspalten eines Teils des Halbleiter-Bauelementssubstrats (3) an der Abspalt-Grenzschicht (3S).
10. Verfahren nach Patentanspruch 9, dadurch gekennzeichnet, dass in Schritt a)
- a1) ein elektrochemisches Porenätzen zum Ausbilden von Poren (P) als Vertiefungen in einem Halbleitersubstrat (1); und
- a2) ein Dotieren des Halbleitersubstrats (1) in der Umgebung der Poren (P) zum Ausbilden einer weiteren elektrisch leitenden Schicht als Kondensator-Gegenelektrode (E1) durchgeführt wird.
11. Verfahren nach Patentanspruch 10, dadurch gekennzeichnet, dass in Schritt a2)
- a21) ein Ausbilden eines Dotierglases zumindest in den Poren (P);
- a22) eine thermische Behandlung; und
- a23) eine nass-chemische Entfernung des Dotierglases durchgeführt wird.
12. Verfahren nach einem der Patentansprüche 9 bis 11, dadurch gekennzeichnet, dass in Schritt b) ein hochtemperaturfestes Kondensatordielektrikum mit hoher Dielektrizitätskonstante ganzflächig ausgebildet wird.
13. Verfahren nach Patentanspruch 12, dadurch gekennzeichnet, dass nitridiertes Oxid, Al_2O_3 und/oder TiO_2 als Kondensatordielektrikum ausgebildet wird.

14. Verfahren nach einem der Patentansprüche 9 bis 13, da -
durch gekennzeichnet, dass in Schritt c)
c1) eine elektrisch leitende Schicht (E2) zum Auffüllen der
Vertiefungen (P) ganzflächig ausgebildet wird; und
5 c2) die elektrisch leitende Schicht (E2) zumindest teilweise
oder vollständig bis zur dielektrischen Schicht (D) an der
Oberfläche des Trägersubstrats (1) entfernt wird.
15. Verfahren nach Patentanspruch 14, da durch ge -
10 kennzeichnet, dass in Schritt c1)
in-situ dotiertes Polysilizium abgeschieden wird; und
in Schritt c2)
ein fotolithografisches Strukturieren mit einem anisotropen
Rückätzen derart durchgeführt wird, dass eine Vielzahl von
15 Kondensator-Elektroden zur Realisierung eines Gruppen-
Kondensators (PK) miteinander verbunden sind.
16. Verfahren nach einem der Patentansprüche 9 bis 15, da -
durch gekennzeichnet, dass in Schritt d)
20 ein TEOS-Abscheideverfahren durchgeführt wird.
17. Verfahren nach einem der Patentansprüche 9 bis 16, da -
durch gekennzeichnet, dass in Schritt e)
ein Halbleiterwafer (3) mit einer Oxidschicht (2B) bereitge-
stellt wird, wobei die Abspalt-Grenzschicht (3S) mittels
Wasserstoff-Implantation ausgebildet ist.
18. Verfahren nach einem der Patentansprüche 9 bis 17, da -
durch gekennzeichnet, dass in Schritt f)
30 zum Verbinden ein Waferbonden durchgeführt wird.
19. Verfahren nach einem der Patentansprüche 9 bis 18, da -
durch gekennzeichnet, dass in Schritt g)
zum Abspalten eine weitere thermische Behandlung durchgeführt
35 wird.

20. Halbleiterschaltung in einem Halbleitersubstrat gemäß einem der Patentansprüche 1 bis 8, gekennzeichnet durch ein Halbleiterbauelement (4, 5, 6, 7, 8), welches in der Halbleiter-Bauelementschicht (3) ausgebildet ist; ein Kontaktloch (V), welches zumindest in der Isolations- schicht (2) ausgebildet ist; und eine Verbindungsschicht (9), welche das Halbleiterbauelement (4, 5, 6, 7, 8) über das Kontaktloch (V) mit zumindest einer der Kondensator-Elektroden (E2) verbindet.
21. Halbleiterschaltung nach Patentanspruch 20, dadurch gekennzeichnet, dass es eine DRAM-Speicherzelle mit einem Auswahltransistor (AT) und einem Kondensator (PK) dar- stellt.
22. Verfahren zur Herstellung einer DRAM-Speicherzelle in einem Halbleitersubstrat gemäß einem der Patentansprüche 1 bis 8 oder einem gemäß der Patentansprüche 9 bis 19 herge- stellten Halbleitersubstrat mit den Schritten:
- a) Ausbilden einer flachen Grabenisolierung in der Halblei- ter-Bauelementschicht (3) zur Realisierung von aktiven Gebie- ten;
 - b) Ausbilden eines Auswahltransistors (AT) mit Source- /Draingebieten (7), einem Gatedielektrikum (4), einer als Wortleitung (WL) dienenden Steuerschicht (5) und einer Gatei- solation (6, 8);
 - c) Ausbilden eines Kontaktloches (V) zumindest in der Isola- tionsschicht (2) und der Halbleiter-Bauelementschicht (3);
 - d) Ausbilden einer Verbindungsschicht (9) im Kontaktloch (V) zwischen einem Source-/Draingebiet (7) des Auswahltransistors (AT) und zumindest einer Kondensator-Elektrode (E2);
 - e) Ausbilden einer Zwischen-Isolationsschicht (10) mit einem Bitleitungskontakt (11) zu einem komplementären Source- /Draingebiet (7); und

f). Ausbilden und Strukturieren einer Bitleitungsschicht (12) zur Realisierung einer Bitleitung (BL) an der Oberfläche der Zwischen-Isolationsschicht (10).

5 23. Verfahren nach Patentanspruch 22, dadurch gekennzeichnet, dass in Schritt c) unter Verwendung der Gateisolation (6, 8) und eines lithografischen Verfahrens das Kontaktloch (V) selbstjustierend freigeätzt wird.

10

24. Verfahren nach Patentanspruch 22 oder 23, dadurch gekennzeichnet, dass in Schritt d) zum Ausbilden der Verbindungsschicht (9) eine weitere in-situ dotierte polykristalline Halbleiterschicht ganzflächig abgeschieden und anschließend isotrop oder anisotrop rückgeätzt wird.

15

Fig 1A

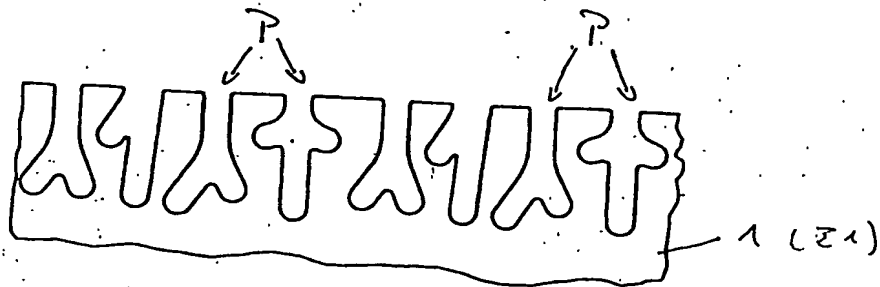


Fig 1B

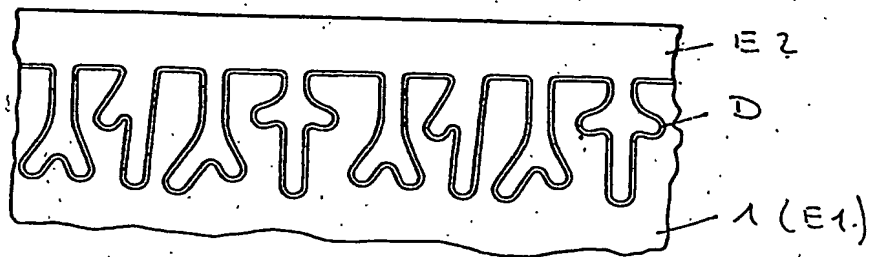


Fig 1C

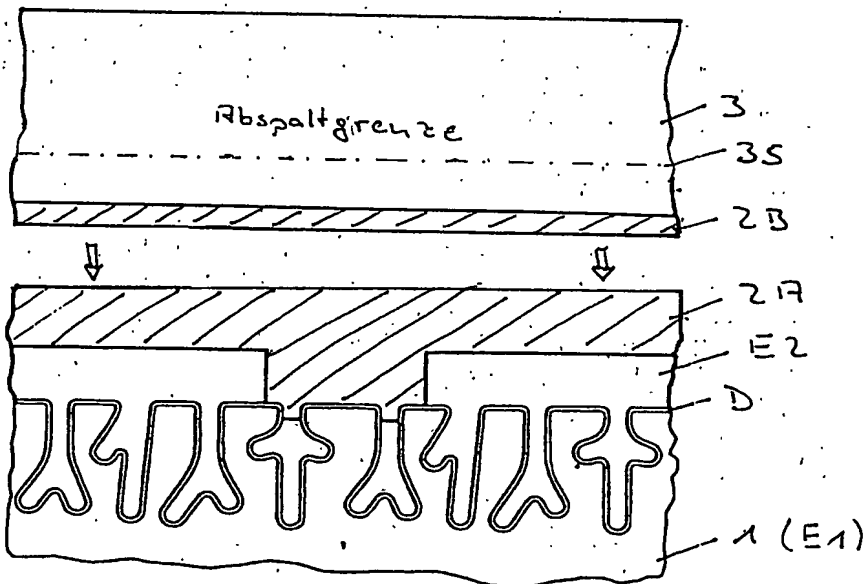


Fig 1D

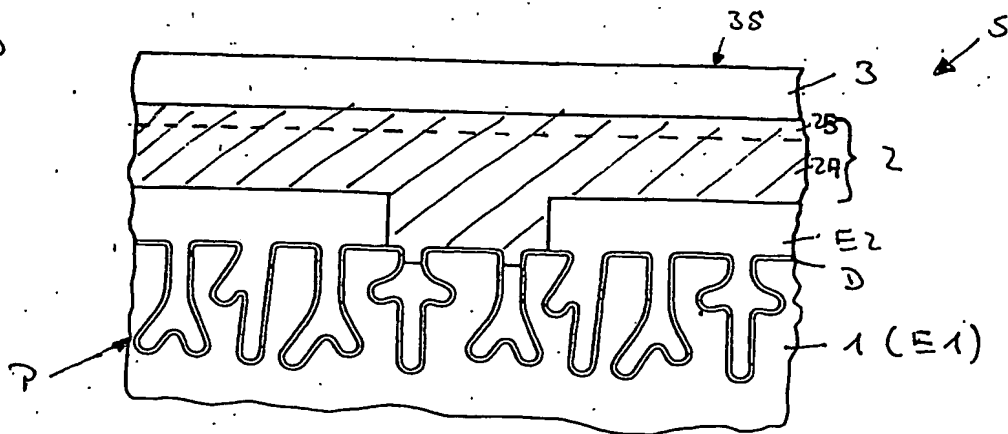
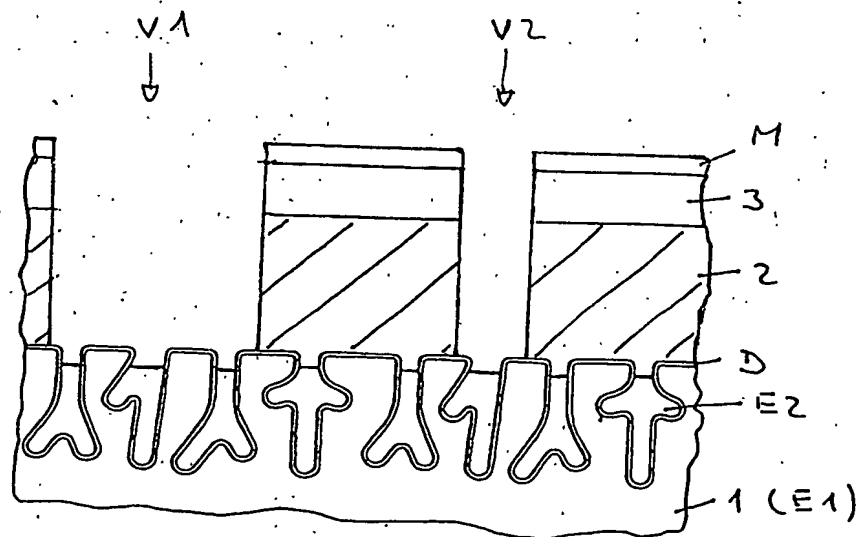


Fig 2A



Fig 2B



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.